

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-034248

(43)Date of publication of application : 06.04.1981

(51)Int.Cl.

H04J 3/06

H04L 7/00

H04Q 11/04

(21)Application number : 54-110988

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.08.1979

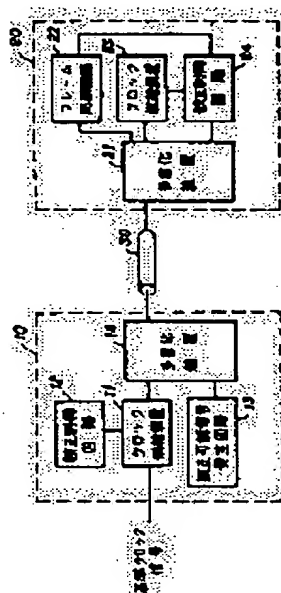
(72)Inventor : TSUDA HARUO
OKINO TAKAYUKI
IYOTA TOSHIO

(54) FREQUENCY CORRECTION SYSTEM IN INDEPENDENT SYNCHRONIZATION SYSTEM

(57)Abstract:

PURPOSE: To make it possible to perform frequency correction without lowering of precision in lower slave stations, by causing upper slave stations, where the frequency is corrected directly from the master station, to generate a correctable signal and by causing lower slave stations to receive this signal and confirm normalcy of the transmission line.

CONSTITUTION: In upper slave station 10, a clock signal held in a fixed frequency error range by the reference clock signal from the master is generated from clock supply unit 11. Correctable signal generating circuit 13 generates a correctable signal for a fixed time after correction of unit 11, this signal and the clock signal are multiplexed by multiplexing unit 14, and a frame pulse is added to them, and they are transmitted. In lower slave station 20, the frame pulse, the clock signal, and the correctable signal are extracted from the transmitted signal by multiplexing unit 21 and are applied to frame synchronizing circuit 22, clock supply unit 23, and correction control circuit 24 respectively. Circuit 24 controls unit 23 to correct the clock signal generated by circuit 23 by the clock signal from unit 21 when the synchronizing signal of frame synchronization from circuit 22 and the correctable signal are applied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—34248

⑬ Int. Cl.³

H 04 J 3/06

H 04 L 7/00

H 04 Q 11/04

識別記号

庁内整理番号

6914—5K

7608—5K

6446—5K

⑭ 公開 昭和56年(1981)4月6日

発明の数 1

審査請求 未請求

(全 4 頁)

⑮ 独立同期方式における周波数較正方式

川崎市中原区上小田中1015番地

富士通株式会社内

⑯ 特 願 昭54—110988

⑰ 発 明 者 井余田敏雄

⑱ 出 願 昭54(1979)8月30日

川崎市中原区上小田中1015番地

⑲ 発 明 者 津田春生

富士通株式会社内

川崎市中原区上小田中1015番地

⑳ 出 願 人 富士通株式会社

富士通株式会社内

川崎市中原区上小田中1015番地

㉑ 発 明 者 沖野孝之

㉒ 代 理 人 弁理士 玉蟲久五郎 外 3 名

明 細 書

1. 発明の名称

独立同期方式における周波数較正方式

2. 特許請求の範囲

マスター局の基準クロック信号によって直接較正される上位の従属局に自局クロック信号が基準信号として使用可能であることを示す較正可能信号を発生する手段を設けるとともに、マスター局の基準クロック信号を受信できない下位の従属局に前記較正可能信号を受信する手段と前記上位の従属局との間の伝送路が正常であることを確認する手段とを設け、下位の従属局において前記較正可能信号を受信されかつ前記伝送路が正常であることが確認されたとき上位の従属局のクロック信号を基準信号として自局のクロック源を較正することを特徴とする独立同期方式における周波数較正方式。

3. 発明の詳細な説明

本発明はマスター局によって較正される従属局に

よって下位の従属局を較正する場合の、独立同期方式における周波数較正方式に関するものである。

マスター局を中心として多数の従属局が通信網を構成し、マスター局と各従属局との間、または従属局相互間で通信を行なう場合の同期方式として、従属同期方式と独立同期方式とが従来用いられている。

従属同期方式においては、マスター局からの基準クロック信号にすべての従属局の同期発振器が従属するため、クロック信号分配路が定められており、この分配路に送出されるクロック信号を使用すれば、各従属局においてマスター局の基準クロック信号を再生することができる。

独立同期方式は発振器の周波数安定度の向上によって可能となったもので、この場合は従属同期方式におけるごとくクロック信号分配路という考え方はなく、従って各従属局の発振器の周波数を較正する場合の基準信号の選び方が問題となる。

第1図はマスター局と従属局の配置の一例を示す図である。同図においてAはマスター局を示し、B、

(1)

(2)

C, D, E, … は従属局を示している。第1図の場合、従属局B, Cはマスタ局Aからの基準クロック信号を直接受信できるから、これを自局周波数校正用の基準信号として用いることができる。しかしながら従属局D, Eは従属局Bに付属し、直接マスタ局Aに付属していないのでマスタ局の基準クロック信号を自局周波数校正用の基準信号として使用することができない。そこで従属局Bのクロック信号を自局周波数校正用の基準信号として用いようとする、各従属局の発振器は同程度の精度であるため、周波数校正を行なったためかえって周波数誤差を大きくすることも生じ得る。

本発明はこのような従来技術の欠点を除去しようとするものであって、その目的は従属局の被校正発振器が校正後ある時間の間は周波数精度がそれほど低下せず、基準信号源として十分に使用に耐えることを利用して、他の下位の従属局の校正を行なうことができる周波数校正方式を提案することにある。

すなわち、発振器の周波数校正間隔はその周波

(3)

れる上位の従属局に自局クロック信号が基準信号として使用可能であることを示す校正可能信号を発生する手段を設けるとともに、マスタ局の基準クロック信号を受信できない下位の従属局に前記校正可能信号を受信する手段と前記上位の従属局との間の伝送路が正常であることを確認する手段とを設け、下位の従属局において前記校正信号を受信されかつ前記伝送路が正常であることが確認されたとき上位の従属局のクロック信号を基準信号として自局のクロック源を校正することを特徴としている。

以下実施例について説明する。

第2図は本発明の独立同期方式における周波数校正方式の一実施例の構成を示すブロック図である。同図において破線で囲まれた部分10は上位の被校正従属局をあらわし、同じく20は被校正従属局10によって校正される下位の被校正従属局をあらわしている。また11はクロック供給装置、12は校正制御回路、13は校正可能信号発生回路、14および21は多重化回路、22はフレーム同期回

(5)

数安定度から定められるが、校正された後一定時間は十分他の発振器校正用の基準信号として使用できる。そこで被校正発振器の校正後一定時間の間は、他の下位の被校正発振器に対しマスタ局と同様に“基準クロック信号として使用可能”な旨の信号を送出する。下位の被校正局はその信号を受信している被校正局からのクロック信号を基準信号として使用して周波数校正を行なう。またこの場合、伝送路に異常が生じると伝送路用の装置等にかける精度の悪いクロック信号が入力される場合があるので、伝送路が正常であることを確認する手段を設け、この手段からの信号によって伝送路が正常であることを確認して周波数校正を行なう必要がある。伝送路が正常であることを確認する手段としては例えばフレーム同期回路を利用してフレーム同期がとれているとき、その出力信号を前述の信号として用いることができる。

以上のごとき目的を達成するため、本発明の独立同期方式における周波数校正方式においては、マスタ局の基準クロック信号によって直接校正さ

(4)

路、25はクロック供給装置、24は校正制御回路、30は伝送路である。

マスタ局からの基準クロック信号は、被校正従属局10においてクロック供給装置11に加えられている。校正制御回路12は適当な期間ごとにクロック供給装置11を制御してクロック信号に対し、その発生するクロック信号周波数を校正させ、正しい周波数に引戻す。このようにしてクロック供給装置11の発生するクロック信号は、基準クロック信号に対して一定の周波数誤差の範囲に維持される。発生したクロック信号は多重化装置14に供給されて多重化信号の発生分離のために用いられる。一方、校正可能信号発生回路13は、クロック供給装置11が校正された後一定期間の間、校正可能信号を発生する。校正可能信号を発生する期間は、クロック供給装置11が基準クロック信号によって校正される期間より短く、クロック供給装置11の発生するクロック信号の周波数誤差が十分小さい範囲の期間とする。このようにして発生したクロック信号と校正可能信号は多重化装置14に含

(6)

て多重化され、フレームパルスが付加されて伝送路 30 に送出される。

下位の従属局 20 においては、伝送路 30 を経て伝送された信号を多重化装置 21 において分離し、フレームパルス、クロック信号および校正可能信号を取り出してそれぞれフレーム同期回路 22、クロック供給装置 23 および校正制御回路 24 に加える。フレーム同期回路 22 はフレームパルスによってフレーム同期をとり、同期がとれたとき同期信号を校正制御回路 24 に入力する。校正制御回路 24 は同期信号と校正可能信号とが加えられているとき、クロック供給装置 23 を制御してその発生するクロック信号が、多重化装置 21 から加えられているクロック信号によって校正されるようにする。このようにして下位の被校正従属局 20 は、上位の被校正従属局 10 のクロック信号が基準クロック信号に対して十分周波数誤差が少く、かつ被校正従属局 10 と下位の被校正従属局の間の伝送路 30 に異常がないとき、そのクロック信号が被校正従属局 10 のクロック信号によって校正される。

(7)

最悪の値として、製造直後に於ける特性から定期保守間隔を定めれば安全である。

以上説明したように本発明の独立同期方式における周波数校正方式によれば、マスタ局からの基準信号によって校正される上位の被校正従属局のクロック信号を校正用基準信号として用いて、周波数精度を低下させることなく、下位の被校正従属局の周波数校正を行なうことができ、極めて効果的である。

4. 図面の簡単な説明

第 1 図はマスタ局と従属局の配置の一例を示す図、第 2 図は本発明の独立同期方式における周波数校正方式の一実施例の構成を示すブロック図、第 3 図は被校正従属局発振周波数における経過時間と周波数偏差との関係の一例を示す図である。

10 … 上位の被校正従属局、11 … クロック供給装置、12 … 校正制御回路、13 … 校正可能信号発生回路、14 … 多重化回路、20 … 下位の被校正従属局、21 … 多重化回路、22 … フレーム同期回路、23 … クロック供給装置、24 … 校正制御回路、

(9)

被校正従属局 10 における定期保守（校正）間隔と、下位の被校正従属局 20 における校正可能期間との関係は、次のようにして定めることができる。一般に発振器の発振周波数は、経年変化によって時間とともに次第に公称周波数からずれてゆく。第 3 図は被校正従属局発振周波数における経過時間 t と周波数偏差 Δf との関係の一例を示す図であって、同図に見られるごとく、時間 t と偏差 Δf とをそれぞれ対数目盛であらわしたとき、直線的変化を示す。従って仮に下位の被校正従属局の発振周波数を偏差 $\Delta f = 10^{\beta} \cdot \alpha$ の精度で校正する場合を考えると、その時の入力周波数の偏差が $\Delta f = 10^{\beta} \cdot \alpha$ より十分小さいことが必要である。今、この限度を偏差 $\Delta f = 10^{-\alpha}$ 以下にするものとすれば、その場合の経過時間 $t = 10 \cdot T_1$ までは、被校正従属局 10 の出力信号を定期保守用基準信号として使用することが可能である。この場合の単位時間 T_1 は発振器の使用年数が長いほど一般に長くなるが、使用された年数により、また発振器のばらつきによって第 3 図に示された直線の傾斜は変化するので、

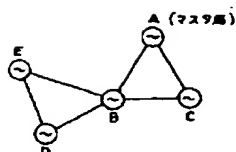
(8)

30 … 伝送路。

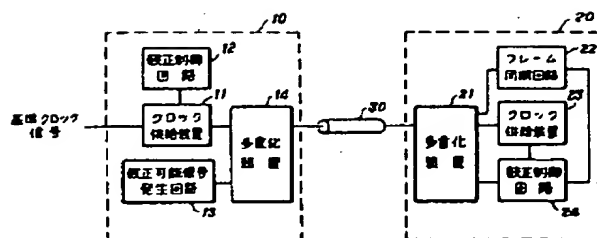
特許出願人 富士通株式会社
代理人弁理士 玉 島 久 五 郎 (外 3 名)

(10)

オ 1 図



オ 2 図



オ 3 図

